

Active matrix liquid-crystal display device having ITO signal lines and either a symmetric TFT structure or electrode and signal line edges with taper anglesPatent Number: ☐ US5552909

Publication date: 1996-09-03

Inventor(s): ANDO MASAHIKO (JP); KANEKO TOSHIKI (JP); ONISAWA KENICHI (JP); OTA MASUYUKI (JP); SUZUKI TAKASHI (JP); MINEMURA TETSURO (JP)

Applicant(s): HITACHI LTD (JP)

Requested Patent: ☐ JP7072510

Application Number: US19940301202 19940906

Priority Number (s): JP19930221873 19930907

IPC Classification: G02F1/136; G02F1/1345

EC Classification: G02F1/1368

Equivalents:

Abstract

An active matrix type liquid-crystal display device wherein a plurality of gate wiring lines and drain wiring lines which cross perpendicularly to each other are laid on a first of two insulating substrates. The gate wiring lines and the drain wiring lines are electrically insulated from each other at areas where they crossover each other and thin-film transistors are respectively arranged near the individual crossover areas with their respective source electrodes connected to corresponding ones of transparent pixel electrodes disposed near the source electrodes, with their respective drain electrodes connected to the drain wiring lines, and with their respective gate electrodes connected to the gate wiring lines. The above structure, which includes the first insulating substrate, is covered with either only alignment layers or both protective insulating layers and alignment layers. Sets of transparent electrodes and alignment layers, each of the sets being opposite to a corresponding one of the transparent pixel electrodes, are disposed on a second of the two insulating substrates, the second insulating substrate being transparent and being located in opposition to the first insulating substrate. A liquid crystal is held between the two insulating substrates. The gate wiring lines as well as the drain wiring lines, and the transparent electrodes which are opposite to the wiring lines on the transparent insulating substrate are connected to liquid-crystal driver circuits which are provided outside the liquid-crystal display device. The improvement to the liquid crystal display device comprises the fact that the drain wiring lines, and the drain electrodes and the source electrodes of the thin-film transistors are formed of the same material as that of the transparent pixel electrodes, and that the transparent pixel electrodes are made thinner than the drain wiring parts.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-72510

(43) 公開日 平成7年(1995)3月17日

| | | | | |
|-----------------------------|-------|---------|----------------|---------|
| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 2 F 1/136 | 5 0 0 | | | |
| 1/1343 | | | | |
| H 0 1 L 29/786 | | 9056-4M | H 0 1 L 29/ 78 | 3 1 1 A |
| 審査請求 未請求 請求項の数9 O L (全 6 頁) | | | | |

(21) 出願番号 特願平5-221873

(22) 出願日 平成5年(1993)9月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鬼沢 賢一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 鈴木 隆

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 安藤 正彦

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】 (修正有)

【目的】 大画面、高精細のアクティブマトリクス型液晶表示装置の提供。

【構成】 各薄膜トランジスタのゲート電極はゲート配線にそれぞれ接続されており、これらは絶縁基板も含めて配向膜または保護性絶縁膜及び配向膜で被覆されており、該絶縁基板と対向して配置されたもう一方の透明絶縁基板には透明画素電極に対向して設けられた透明電極と配向膜とを有し、前記2枚の絶縁基板間には液晶が挟持されており、ゲート配線、ドレーン配線及び対向する透明絶縁基板の透明電極は外部の液晶駆動回路に接続されている液晶表示装置において、ドレーン配線及び薄膜トランジスタのドレーン電極及びソース電極は透明画素電極と同一材料で形成されており、透明画素電極の膜厚をドレーン配線部分より薄く構成したアクティブマトリクス型液晶表示装置。

【特許請求の範囲】

【請求項1】 一方の絶縁基板上に互いに直交するゲート配線及びドレーン配線が複数配設され、前記ゲート配線とドレーン配線の交差部は互いに電気的に絶縁されており、前記各交差部の近傍には薄膜トランジスタがそれぞれ配置され、各薄膜トランジスタのソース電極はその近傍に設けられた各透明画素電極に、ドレーン電極は前記ドレーン配線にそれぞれ接続され、また、前記各薄膜トランジスタのゲート電極は前記ゲート配線にそれぞれ接続されており、これらは前記絶縁基板も含めて配向膜

または保護性絶縁膜及び配向膜で被覆されており、該絶縁基板と対向して配置されたもう一方の透明絶縁基板上には前記透明画素電極に対向して設けられた透明電極と配向膜とを有し、前記2枚の絶縁基板間には液晶が挟持されており、前記ゲート配線、ドレーン配線及び対向する透明絶縁基板の透明電極は外部の液晶駆動回路に接続されているアクティブマトリクス型液晶表示装置において、

前記ドレーン配線及び前記薄膜トランジスタのドレーン電極及びソース電極は前記透明画素電極と同一材料で形成されており、前記透明画素電極の膜厚をドレーン配線部分より薄く構成したことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記ドレーン配線、前記薄膜トランジスタのドレーン電極及びソース電極、並びに前記透明画素電極は順テーパー端面を有し、かつ、そのテーパー角は30°以下である請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記薄膜トランジスタはドレーン電極及びソース電極上に跨って形成された半導体層、ゲート絶縁層、ゲート電極から構成され、前記半導体層とゲート絶縁層の積層部のパターンと前記ゲート電極パターンとは同一中心線上あり、かつ、中心線の左右のパターンが対称となるように形成されている請求項1または2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記半導体層とゲート絶縁層の積層部のパターン幅はゲート電極層が半導体層のパターン幅より大きく、その両者の差は0.2～5μmである請求項1、2または3に記載のアクティブマトリクス型液晶表示装置。

【請求項5】 前記絶縁基板を被覆する保護性絶縁膜は、前記透明画素電極上に該透明画素電極の寸法よりも大きくない寸法の貫通孔を有し、該貫通孔の平面パターンは、前記ドレーン配線、前記薄膜トランジスタを構成するドレーン電極及びソース電極と前記透明画素電極との膜厚段差部の平面パターンとほぼ一致するよう形成されている請求項1～4のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前記ドレーン配線、前記薄膜トランジスタのドレーン電極及びソース電極と、前記透明画素電極

との膜厚段差部の平面パターンは、前記薄膜トランジスタの半導体層とゲート絶縁層との積層部の平面パターンとほぼ一致するよう形成されている請求項1～4のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項7】 前記ゲート配線及びドレーン配線を形成する透明導電膜のシート抵抗が5Ω/□以下である請求項1～6のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項8】 前記透明画素電極の透過率は波長550nmの照射光に対して85%以上である請求項1～7のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項9】 前記ゲート電極はAlまたはTaを主体とする金属材料からなり、該電極の表面と端面は該電極材料の陽極酸化膜で被覆されている請求項1～8のいずれかに記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタ(TFT)によって駆動するアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 性能価格比が高い、TFT駆動方式のアクティブマトリクス型液晶ディスプレイ(LCD)装置の要求が強まっている。

【0003】 この実現のためには、アモルファスシリコン(a-Si)を適用したTFT-LCDの製造プロセスコストの低減、すなわち製造工程数の低減、スループットの向上及び歩留まりの向上等を実現すると共に、大型、高精細及び多階調表示等の高性能化を図ることが必要である。このような目的のため、特公平4-26084号公報では、絶縁基板上に被着された透明電極膜からなる第1導電膜により形成された複数本の列選択線、各列選択線と一体のドレーン電極、各画素位置に配列された表示画素電極及びこれと一体のソース電極と、これらドレーン、ソース電極上にまたがるように形成された半導体膜と、この半導体膜上にゲート絶縁膜を介して被着された第2層導電膜により形成された複数本の行選択線及びこれと一体のゲート電極とを備え、前記半導体膜及びゲート絶縁膜は前記行選択線及びこれと一体のゲート電極と同一形状にパターンニングされているアクティブマトリクス型表示装置が提案されている。このような構造にすることによって、製造工程の簡略化を図ると共に、電極配線の断切れを防止して信頼性向上及び歩留まりの向上を図っている。

【0004】

【発明が解決しようとする課題】 しかし、従来技術による素子構造では、製造工程の簡略化には有効であるものの、大型、高精細及び多階調表示等の高性能化についての対策が十分とは云えなかった。また歩留まりが低く価

格の低減化が困難であった。

【0005】本発明の目的は、簡略な工程で製造できると共に、高歩留まりで、かつ、大型、高精細及び多階調表示等の高性能化を指向したTFT駆動方式のアクティブマトリクス型液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】前記課題を解決する本発明の要旨は次のとおりである。

【0007】(1) 一方の絶縁基板上に互いに直交するゲート配線及びドレーン配線が複数配設され、前記ゲート配線とドレーン配線の交差部は互いに電氣的に絶縁されており、前記各交差部の近傍には薄膜トランジスタがそれぞれ配置され、各薄膜トランジスタのソース電極はその近傍に設けられた各透明画素電極に、ドレーン電極は前記ドレーン配線にそれぞれ接続され、また、前記各薄膜トランジスタのゲート電極は前記ゲート配線にそれぞれ接続されており、これらは前記絶縁基板も含めて配向膜または保護性絶縁膜及び配向膜で被覆されており、該絶縁基板と対向して配置されたもう一方の透明絶縁基板上には前記透明画素電極に対向して設けられた透明電極と配向膜とを有し、前記2枚の絶縁基板間には液晶が挟持されており、前記ゲート配線、ドレーン配線及び対向する透明絶縁基板上の透明電極は外部の液晶駆動回路に接続されているアクティブマトリクス型液晶表示装置において、前記ドレーン配線及び前記薄膜トランジスタのドレーン電極及びソース電極は前記透明画素電極と同一材料で形成されており、前記透明画素電極の膜厚をドレーン配線部分より薄く構成したことを特徴とするアクティブマトリクス型液晶表示装置にある。

【0008】(2) 前記ドレーン配線、前記薄膜トランジスタのドレーン電極及びソース電極、並びに前記透明画素電極は順テーパー端面を有し、かつそのテーパー角は 30° 以下であること。

【0009】(3) 前記薄膜トランジスタはドレーン電極及びソース電極上に跨って形成された半導体層、ゲート絶縁層、ゲート電極から構成され、前記半導体層とゲート絶縁層の積層部のパターンと前記ゲート電極パターンとは同一中心線上あり、かつ、中心線の左右のパターンが対称となるように形成されていること。

【0010】(4) 前記半導体層とゲート絶縁層の積層部のパターン幅はゲート電極層が半導体層のパターン幅より大きく、その両者の差は $0.2 \sim 5 \mu\text{m}$ であること。

【0011】(5) 前記絶縁基板を被覆する保護性絶縁膜は、前記透明画素電極上に該透明画素電極の寸法よりも大きくない寸法の貫通孔を有し、該貫通孔の平面パターンは、前記ドレーン配線、前記薄膜トランジスタを構成するドレーン電極及びソース電極と前記透明画素電極との膜厚段差部の平面パターンとほぼ一致するよう形成されていること。

【0012】(6) 前記ドレーン配線、前記薄膜トランジスタのドレーン電極及びソース電極と、前記透明画素電極との膜厚段差部の平面パターンは、前記薄膜トランジスタの半導体層とゲート絶縁層との積層部の平面パターンとほぼ一致するよう形成されていること。

【0013】(7) 前記ゲート配線及びドレーン配線を形成する透明導電膜のシート抵抗は $5 \Omega/\square$ 以下であること。

【0014】(8) 前記透明画素電極の透過率は波長 550 nm の照射光に対して 85% 以上であること。

【0015】(9) 前記ゲート電極はAlまたはTaを主体とする金属材料からなり、該電極の表面と端面は該電極材料の陽極酸化膜で被覆されていること。

【0016】

【作用】従来素子構造では構造を単純化するため、ドレーン配線(ドレーン電極)膜材料としてソース電極及び画素電極と同一のITO(Indium Tin Oxide)が用いられていた。そして、その膜厚は透過率の確保及びソース・ドレーン電極端面段差部のカバレッジを考慮して $100 \sim 200 \text{ nm}$ 程度とするのが通例であった。

【0017】しかし、この場合のITO膜のシート抵抗は $10 \sim 20 \Omega/\square$ 以上となり、ドレーン電圧パルスの立上り時間遅延を引き起こすために書き込み率が低下し、パネルの大型化及び高精細化には限界があった。具体的に見積もった結果、VGAクラス(ドット数 640×480 、64階調)に対しシート抵抗が $20 \Omega/\square$ では対角 $7 \sim 8$ インチ、 $10 \Omega/\square$ で対角 10 インチが最大であることが分かった。

【0018】上記のドレーンパルスの立上り時間遅延による問題を解決し、大型、高精細及び多階調表示等を可能にするためには、シミュレーションによる検討の結果では、ドレーン配線のシート抵抗を $5 \Omega/\square$ 以下とすることが必要なことが分かった。

【0019】このようにすることにより、XGAクラス(1024×768 、64階調)の対角 11 インチクラス以上をカバーできる。

【0020】ドレーン配線として金属配線を用いる場合にはシート抵抗 $5 \Omega/\square$ 以下の実現は問題なかった。しかし、ITOを用いてシート抵抗 $5 \Omega/\square$ 以下にするには、膜厚は 400 nm 以上が必要なため、画素電極の透過率が 80% 以下(照射光: 550 nm)に低下してしまう。そこで、本発明では画素電極部分の膜厚をドレーン配線部分より薄くすることにより解決した。

【0021】また、本発明者らは、従来の素子構造について詳細に検討した結果、歩留まり低下の最大要因は、ゲート電極とドレーン電極間でのショートあるいはリークにあることをつきとめた。これを図5に示す従来型素子の模式図で説明する。

【0022】ガラス基板1上には、透明ITOからなるソース・ドレーン電極2と画素電極11が形成され、こ

5

れらに跨ってa-Si:Hの半導体層3、ゲート絶縁層4及びゲート電極5が形成されている。

【0023】ショートあるいはリークの原因の一つは、透明ITOからなるソース・ドレイン電極2上に積層されたa-Si:Hの半導体層3とゲート絶縁層4の端面に沿った経路(図中a)によるもの、もう一つはソース・ドレイン電極2端面の段差部に積層された半導体層3、ゲート絶縁層4の膜厚の低い部分を通過するもの(図中b)であった。前者の原因に対しては、半導体層3、ゲート絶縁層4のパターンに対し、ゲート電極5を後退させておくことが有効である。これを実現するには、ゲート電極5のパターンを半導体層3、ゲート絶縁層4のパターンより小さくすればよい。

【0024】しかし、ホトリソグラフィ及びエッチングで幅の小さなゲート電極パターンを形成する方法では工程数が増加してしまい、工程簡略化という目的に反する。そこで、半導体層3、ゲート絶縁層4及びゲート電極5の積層部をパターニングする際、ゲート電極5を後退エッチする方法が考えられる。しかし、その後退量を検討した結果、ゲート電極5を単に後退するだけでなく、後退量を0.2μm以上にすることが分かった。また、後退量を5μmよりも大きくすると電極幅が狭くなり過ぎ、技術的にも困難である。

【0025】また、ゲート電極5の材料をAlまたはTaを主体とする金属材料で構成し、電極層表面及び端面をAl₂O₃またはTa₂O₅膜を陽極酸化法で形成することによって対策できる。

【0026】一方、後者の問題は、膜厚が400nm以上と厚いITO膜をソース・ドレイン電極2として用いた場合に顕著に生じるが、これに対する解決策は、ソース・ドレイン電極2の端面に順テーパを形成することが効果的であった。このようにするとソース・ドレイン電極2の端面の段差部に積層された半導体層3、ゲート絶縁層4のカバレッジが向上して、その部分の膜質が改善される。なお、好ましくはソース・ドレイン電極端面の順テーパのテーパ角は30°以下がよいことが分かった。

【0027】上記により、工程数をほとんど増すことなく、ゲート電極5とソース・ドレイン電極間のショートあるいはリークを抑制することができ、結果的に素子の歩留まりを向上することができる。

【0028】製造工程を簡略化する目的に対して、本発明では次の手段を採用している。すなわち、前記絶縁基板を被覆する保護性絶縁膜は、透明画素電極上に透明画素電極の寸法より小さい貫通孔を有し、該貫通孔の平面パターンは、前記ドレイン配線及び薄膜トランジスタを構成するドレイン電極及びソース電極と前記透明画素電極との膜厚段差部の平面パターンとほぼ一致するように形成する。

【0029】これによって、透明電極ITOのドレイン

6

配線及びソース・ドレイン電極部分に対して画素電極部分の膜厚を薄くするための専用マスクパターンによるホトリソグラフィ工程が不要となり、保護性絶縁膜に貫通孔を形成するのと同じマスクパターンを用いるホトリソグラフィ工程でITOの加工が可能となる。

【0030】

【実施例】本発明を実施例に基づき具体的に説明する。

【0031】【実施例1】作製したTFT素子の断面模式図を図1に示す。この図を用い本発明のTFT素子の作製方法を説明する。

【0032】よく洗浄したガラス基板1上にマグネトロンスパッタリング法を用いて基板温度300℃で膜厚400nmのITO膜2を形成した。該ITO膜のシート抵抗は5Ω/□であることを確認した。

【0033】このITO膜2をホトエッチング法によってソース・ドレイン配線及び電極に加工した。エッチングレジストにはポジ型ホトレジストを用い、エッチング液としてHBr(またはFeCl₃でもよい)にHClを適量添加した水溶液を用い、50~60℃でエッチングした。得られたITO膜の端部の順テーパ角は10°であった。

【0034】次に、上記の基板をRFプラズマCVD装置に設置し、まずITO電極とのコンタクトをとるためPH₃プラズマ処理を加えた後、半導体層のa-Si:H膜3を形成した。基板温度は250℃とし、SiH₄及びH₂の混合ガスを原料ガスとして用い膜厚18nmのものが得られた。次いで、同一チャンバ内でこの上にゲート絶縁膜4のSiN層を形成した。基板温度は活性層と同じ250℃としSiH₄、NH₃及びN₂の混合ガスを原料ガスとし、300nmの膜厚に作製した。

【0035】次に、ゲート電極5としてマグネトロンスパッタリング法で、基板温度100℃、膜厚250nmのAl膜を形成した。この後、ホトリソグラフィによってゲート電極、活性層及びゲート絶縁膜をパターニングした。その際、最初にAl電極をリン酸、酢酸及び硝酸の混合水溶液を用いてオーバエッチングによりレジストパターン端部より後退させ、次いで、ドライエッチング法によって活性層及びゲート絶縁膜をパターニングした。

【0036】上記をSEMで測定した結果、ゲート電極Alの活性層及びゲート絶縁膜のパターン幅に対する後退量は片側約1.5μmであった。この上に保護膜6をRFプラズマCVD法によって形成後、画素電極パターン上に貫通孔を形成し、引き続いて同一マスクパターンを用いてITO膜2をエッチングした。

【0037】本実施例では画素電極部分の膜厚を約150nmに調節した。これによって、ほぼ90%の透過率を確保できることが分かった。作製した素子の平面パターンの部分模式図を図2に示す。7はドレイン線、8はソース電極、9はSiN/a-Si:H積層部、10は

7

ゲート線、及び破線で囲まれた斜線部分11は画素電極すなわち保護膜貫通孔である。

【0038】〔実施例 2〕図3に本実施例で作製したTFT素子の断面模式図を示す。これと図1との相違点は、図1におけるゲート電極5のAl表面及び端面に表面酸化膜12として Al_2O_3 が形成されている点である。この Al_2O_3 膜は以下に説明する陽極化成法で作製した。

【0039】実施例1と同じ方法で作製した素子のゲート電極をつなぎ合わせて化成端子として取り出し、それを陽極とした。対向電極（陰極）にはPt製電極を用いた。陽極化成液には、酒石酸水溶液をエチレングリコールで希釈しアンモニアでpH調整したものを用いた。所定の化成電圧を印加して陽極化成し、150nmの Al_2O_3 膜を形成した。

【0040】〔実施例 3〕図4に本実施例で作製したTFT素子の平面パターンの部分模式図を示す。この図と図2に示す実施例1の平面パターンとの相違点は、ドレイン配線7の上に一部を残してSiN/a-Si:H積層部9'、Al膜（ゲート線と同層）10'が形成されていること、Al膜表面及び端部には陽極化成による Al_2O_3 膜が形成されており、この部分及びSiN/a-Si:H積層部9、ゲート線10以外の部分のITO電極の膜厚が薄くなっている点にある。すなわち、この場合にはITO膜の段差は、保護膜の貫通孔に対応させたものでなく、SiN/a-Si:H積層部パターンにほぼ一致している。

【0041】本実施例では保護膜には有機樹脂膜を用い貫通孔は設けなかった。これによっても製造工程の簡略化と云う目的も達成することができる。

8

【0042】以上の実施例で作製したTFT素子の特性を、多数の素子で評価した結果、全て12.5インチ対角のXGA（1024×768）クラスに適用可能な書き込み特性を示し、ゲート・ドレイン間のリークがないことを確認した。

【0043】

【発明の効果】本発明によれば、作製工程が簡略で、ドレイン配線抵抗を低減できると共にゲート・ドレイン間のリークを抑制できる。従って、TFT-LCDの低コスト化及び高性能化を実現することができる。

【図面の簡単な説明】

【図1】実施例1によるアクティブマトリクス型液晶表示装置のTFT素子の断面模式図である。

【図2】実施例1によるアクティブマトリクス型液晶表示装置のTFT素子の平面パターンの部分模式図である。

【図3】実施例2によるアクティブマトリクス型液晶表示装置のTFT素子の断面模式図である。

【図4】実施例3によるアクティブマトリクス型液晶表示装置のTFT素子の平面パターンの部分模式図である。

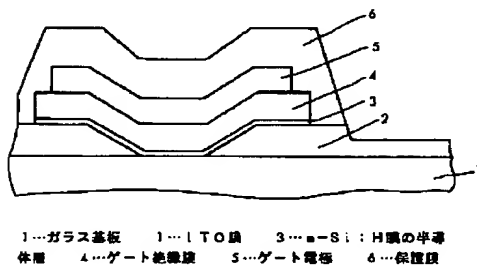
【図5】従来技術によるTFT素子の断面模式図である。

【符号の説明】

1…ガラス基板、2…ITO膜、3…a-Si:H膜の半導体層、4…ゲート絶縁膜、5…ゲート電極、6…保護膜、7…ドレイン線、8…ソース電極、9…SiN/a-Si:H積層部、9'…ドレイン線上のSiN/a-Si:H積層部、10…ゲート線、10'…ドレイン線上のAl膜（ゲート線と同層）、11…画素電極、12…表面酸化膜。

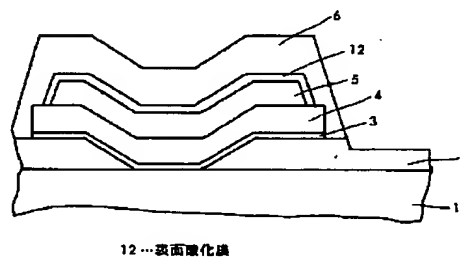
【図1】

図 1



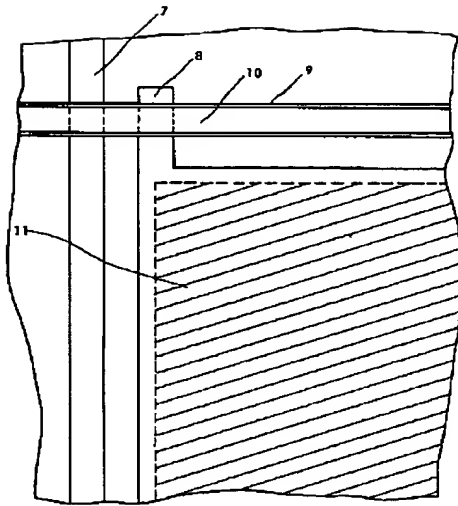
【図3】

図 3



【図2】

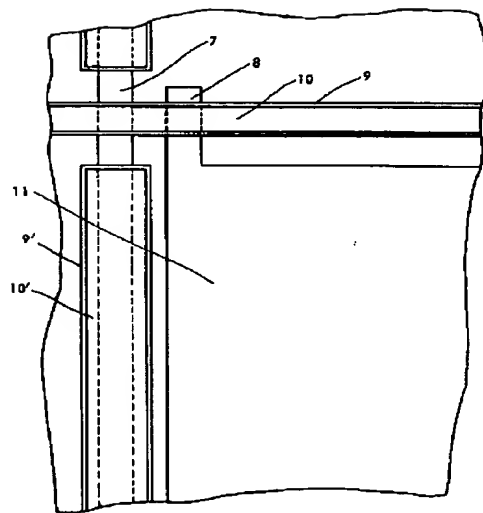
図 2



7...ドレーン線 8...ソース電極 9...SiN/a-
Si:H積層部 10...ゲート線 11...画素電極

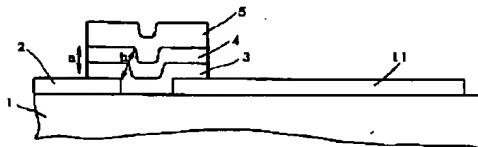
【図4】

図 4



【図5】

図 5



フロントページの続き

(72)発明者 太田 益幸
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 金子 寿輝
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 峯村 哲郎
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内